

电 工 电 子 实 验 报 告

课程名称： 电工电子实验（二）

实验名称： 存储器的应用

学 院： 通信与信息工程学院

班 级： B210111

学 号： B21011125

姓 名： 徐秋旸

指导教师： 林宏

学 期： 2022-2023 学年第 二 学期

电工电子实验教学中心

**存储器的应用**

**一、实验目的**

1.了解利用ISE CORE Generator进行设计的方法。

2.了解块ROM的读写操作方法。

3.下载并测试实现的逻辑功能。

**二、主要仪器设备及软件**

硬件：DGDZ-5型实验箱，可编程器件XC3S50ANTQG144

软件：ISE Design Suite 14.7

**三、实验原理（或设计过程）**

**半导体存储器概念：**

存储器是电子计算机及某些数字系统中不可缺少的部分，用来存放二进制代码表示的数据、系统指令、资料及运算程序等。

存储器的主要指标为存储容量和工作速度。存储容量是衡量工作能力大小的指标，容量越大，存储的信息越多，工作能力越强。存储容量用存储单元的总数表示。习惯上常用若干个“K”单元表示。存储容量为：n字（字位）×m位（位）。存取速度用存取周期表示，从存储器开始存取第一个字到能够存取第二个字为止。所需的时间称为存取时间或存取周期。它是衡量存储器存取速度的重要指标。存取周期越短,说明存取速度越高。

**设计计数型多路序列码产生电路的一般步骤：**

1、由设计条件知道序列长度，序列长度=N；

2、根据序列长度确定计数器的模长=N，设计模为N的计数器；

3、组合逻辑电路实现序列码的码值。

**设计M路模长为N的序列码产生电路的设计步骤：**

1、确定计数器的模数：由设计条件已知序列码的长度为N，根据序列码的模长N确定计数器的模长=N；

2、确定存储器的字数和位数：根据序列码的长度N确定存储器的字数为N，根据设计要求设计M路序列码可以确定存储器的位数为M；

3、根据序列码的码值确定存入存储器各个单元的数据；

4、画出电路图。

**四、实验电路图**

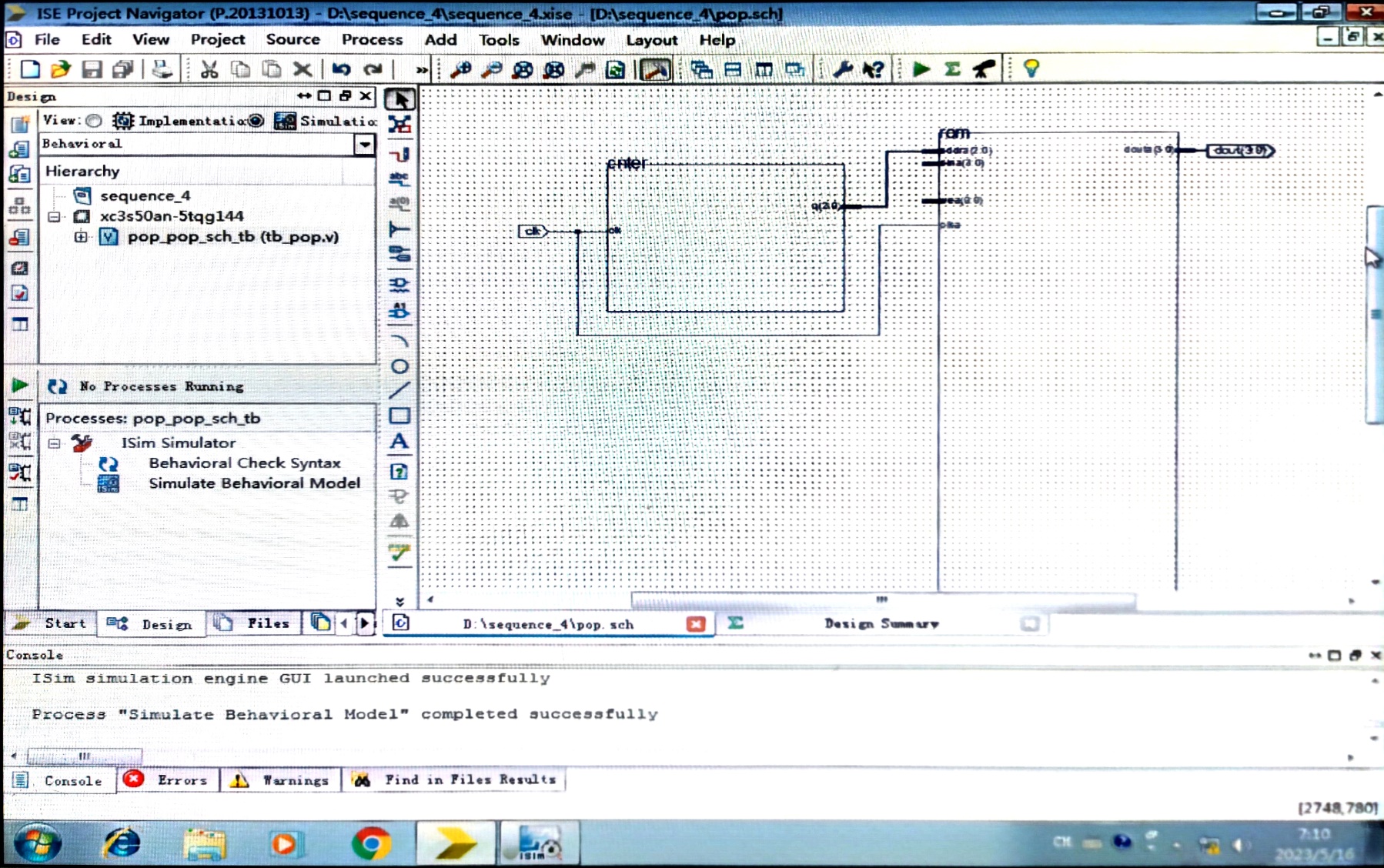


图1 4路序列信号发生器实验电路图（计数器、存储器均为IP核）

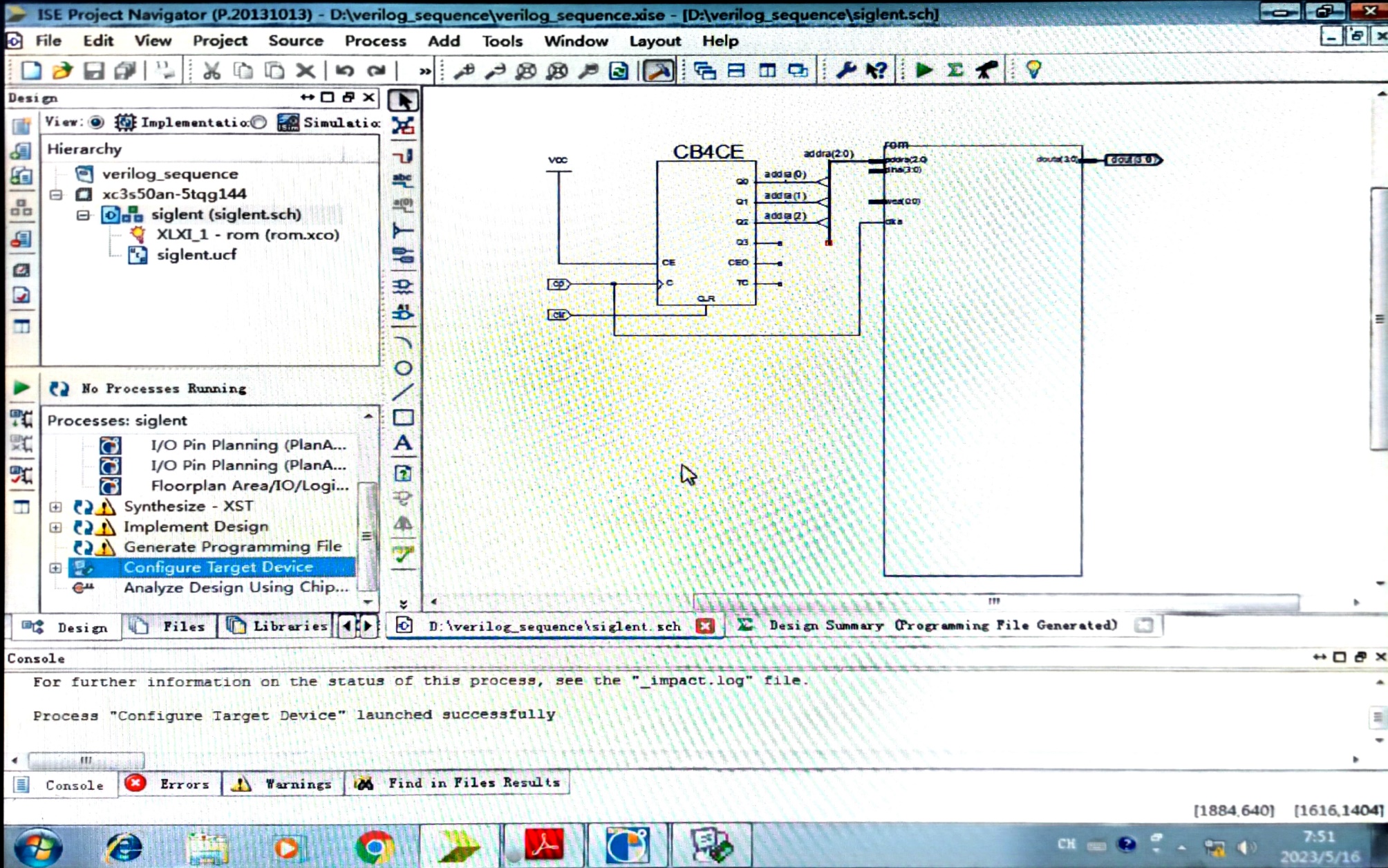


图2 4路序列信号发生器实验电路图（存储器为IP核，普通计数器总线分线）

**五、实验内容和实验结果**

利用ROM设计一个4路序列信号发生器，四路序列码模值均为M=8，各个序列信号的位值分别为F1=“11001100”，F2=“11110000”，F3=“11011011”，F4=“10111001”，右侧为最低位。

1.设计分析

由设计要求，通过IP核产生位宽为4bit、存储深度为8的只读存储器，即可满足设计任务的硬件要求。然后要对该ROM进行数据的写入，写入的数据需要根据4路序列信号的波形进行设计。同时需要一个模8计数器对ROM的地址进行驱动，以读出写入ROM的设计数据。具体设计思路表如表1所示。

表1 4路序列信号发生器设计表

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 信号 | 地址 | | | | | | | |
| 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 |
| F1 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 |
| F2 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 |
| F3 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 1 |
| F4 | 1 | 0 | 1 | 1 | 1 | 0 | 0 | 1 |

2.设计实现

（1）设计输入。

**方法一：由Core Generator生成ROM模块和计数器模块**

①由Core Generator生成8bit×4bit ROM模块。

其中，创建初始化ROM/RAM文件的方法为：建一个空的文本文件，在该文件中输入设计内容，将其另存为后缀名为.coe的文件即可。按照设计序列要求，程序如下：

*memory\_initialization\_radix=2;*

*memory\_initialization\_vector=*

*1111,0111,1010,1110,1101,0001,0100,1100;*

②由Core Generator生成模8计数器（3位二进制计数器）模块。

③顶层设计通过原理图输入完成。

（2）设计仿真。

激励信号需给出待测模块的所有输入的逻辑关系，在此例中输入信号只有时钟脉冲，测试激励代码如下：

*'timescale 1ns / 1ps*

*module sequence\_4\_sequence\_4\_sch\_tb();*

*//声明输入变量*

*reg clk;*

*//声明输出变量*

*wire [3:0] dout;*

*//调用设计块*

*sequence\_4 UUT (*

*.clk(clk),*

*.dout(dout)*

*);*

*//初始化输入变量*

*initial begin*

*clk = 0;*

*end*

*always #20 clk =~ clk;*

*endmodule*

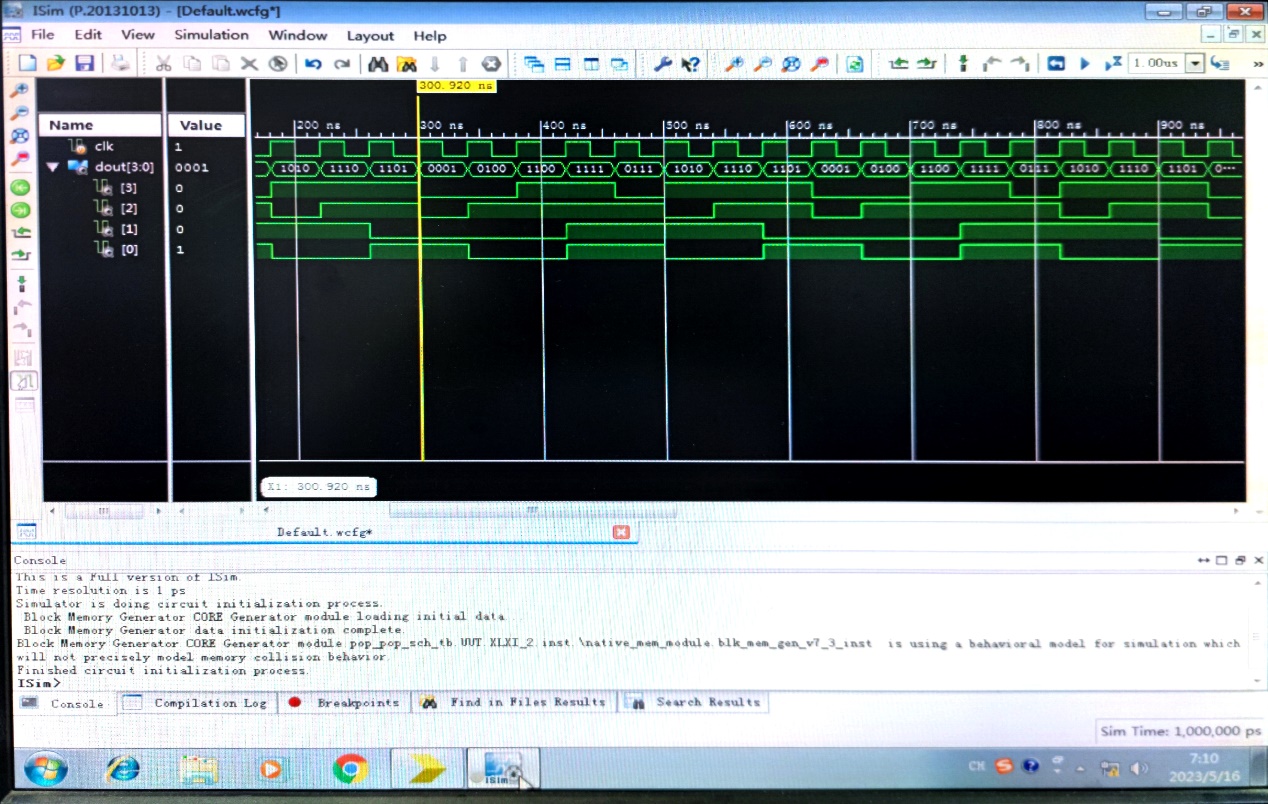
**

图3 全IP核仿真结果

**

图4 全IP核测试结果

**方法二：由Core Generator生成ROM模块，计数器选用CB4CE**

IP核的生成方式与方法一相同。在连接时，需要注意总线与分线的连接方法，IP核上引出的总线需要通过分线与CB4CE相连。

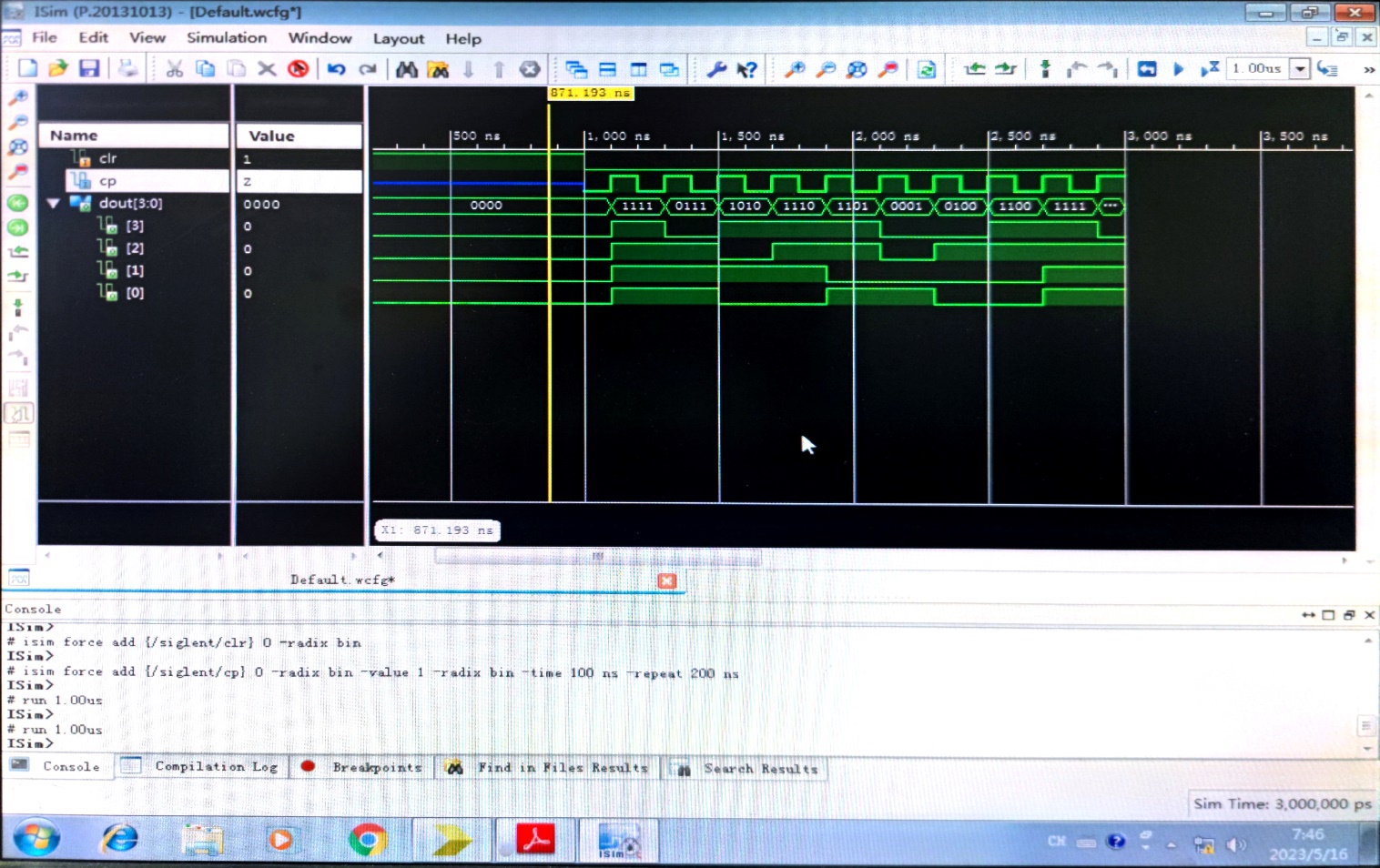


图5 CB4CE+IP核仿真结果



图6 CB4CE+IP核测试结果

**六、结果分析**

使用两种不同的方法（计数器、存储器均为IP核；存储器为IP核，普通计数器总线分线）均可以实现4路序列信号发生器，行为仿真和示波器波形均正确，实验成功。

**七、实验小结**

1.在观察序列波形时，为了观察到稳定的波形，需要选择周期最长的序列作为触发沿所在通道。

2.若存储器和计数器使用同一个时钟，会出现滞后，慢一个时钟节拍，解决方法有两种：

①计数器输出用D触发器缓存；

②改用两个时钟。